

(54) ELECTRICALLY ERASABLE AND REWRITABLE TYPE SEMICONDUCTOR MEMORY

(11) 62-188099 (A) (43) 17.8.1987 (19) JP

(21) APP. No. 61-29323 (22) 13.2.1986

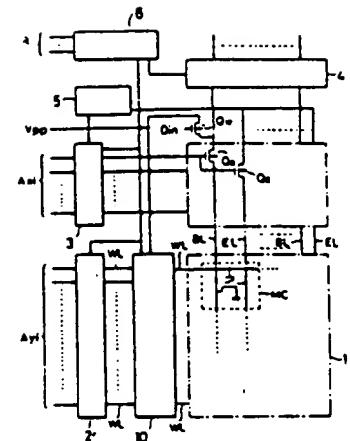
(71) TOSHIBA CORP(1) (72) MIKITS

(71) TOSHIBA CORP (1) (72) MIKIO NAKAMURA (1)
(51) Int. Cl: G11C17/00

(S1) INT. CP. GHCI7700

PURPOSE: To attain a reload by erasing only the data in a memory cell to be targeted for the reload, by selecting the memory cell with an address signal, and supplying a prescribed electrical potential relation to the control gate and the erasing gate of the memory cell.

CONSTITUTION: A switch element Q_b on the bit line BL of a memory cell MC selected by the output of a Y decoder 2 goes to a turn-on state, and also, a switch element Q_e on the erase gate line EL selected by the output of an X decoder goes to the turn-on state. And a high voltage V_{pp} is impressed on the erase gate of the cell MC from an erase voltage generation circuit 5 through the erase gate line EL. Simultaneously, a selection word line voltage V_{pp} of the decoder 2 is switched to an earth potential with a selection word line voltage switching circuit 10, then being impressed on the control gate of the cell MC. Therefore, in a selected cell MC, an electron is pulled out from a floating gate to the erase gate, then being erased.



\downarrow : sense amplifier and input/output circuit. \uparrow : control input

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A) 昭62-188099

⑬Int.CI.

G 11 C 17/00

識別記号

309

序内整理番号

6549-5B

⑭公開 昭和62年(1987)8月17日

審査請求 有 発明の数 1 (全5頁)

⑮発明の名称 電気的消去・再書き込み可能形半導体メモリ

⑯特願 昭61-29323

⑰出願 昭61(1986)2月13日

⑱発明者 中林 幹戸 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑲発明者 浮穴 哲宏 川崎市川崎区東田町2番地11号 東芝マイコンエンジニアリング株式会社内

⑳出願人 株式会社東芝 川崎市幸区堀川町72番地

㉑出願人 東芝マイコンエンジニアリング株式会社 川崎市川崎区東田町2番地11号

㉒代理人 弁理士 鈴江 武彦 外2名

明細書

1.発明の名称

電気的消去・再書き込み可能形半導体メモリ

2.特許請求の範囲

(1) 制御ゲート、浮遊ゲートおよび消去ゲートを有する1個の記憶トランジスタからなるメモリセルをマトリクス状に配置し、同一行のメモリセルトランジスタの各制御ゲートを共通のワード線に接続し、同一列のメモリセルトランジスタの各ドレインを共通のビット線に接続すると共に各消去ゲートを共通の消去ゲート線に接続してメモリセルアレイを形成し、上記ワード線、ビット線および消去ゲート線をそれぞれアドレス信号により選択し得るようにして、消去モードにおいては前記メモリセルアレイにおける選択ワード線および選択消去ゲート線を所定の電位関係に設定することを特徴とする電気的消去・再書き込み可能形半導体メモリ。

(2) 前記ビット線および消去ゲート線は共用

のアドレスデコーダの出力によりスイッチ制御されるビット線選択スイッチ素子および消去ゲート線選択スイッチ素子の各一端側がそれぞれ直列に接続されており、消去モード期間に上記消去ゲート線スイッチ素子の他端側に消去用高電圧が印加されることを特徴とする前記特許請求の範囲第1項記載の電気的消去・再書き込み可能形半導体メモリ。

(3) 前記ワード線を選択するためのアドレスデコーダの出力側に、消去モードのときにメモリセルアレイの選択ワード線に接地電位を与え、メモリセルアレイの非選択ワード線に所定の高電圧を与えるようにワード線電圧を切り換える回路を設けてなることを特徴とする前記特許請求の範囲第1項記載の電気的消去・再書き込み可能形メモリ。

3.発明の詳細を説明

[発明の目的]

(産業上の利用分野)

本発明は不揮発性半導体記憶素子を用いた不

SEC 007031

揮発性メモリに係り、特に電気的消去・再書き込み可能な半導体メモリに関する。

(従来の技術)

従来のEEPROM(エレクトリカル・イレイザブル・プログラマブル・リード・オンリ・メモリ、電気的消去・再書き込み可能な脱出し専用メモリ)は、たとえば浮遊ゲートおよび消去ゲートを有する1個の記憶トランジスタからなるメモリセルに対してその浮遊ゲートへのホットエレクトロンの注入、および上記浮遊ゲート近傍に配置した消去ゲートへの浮遊ゲートからのトンネリングにより情報の書き込みおよび消去を選択的に行なうことが可能であり、その一例を第2図に示している。第2図において、1は多数のメモリセルMC…がマトリクス状に配置されたメモリセルアレイであり、同一行のメモリセルMC…は各制御ゲートが共通のワード線WL…に接続され、同一列のメモリセルMC…は各ドレインが共通のピット線BL…に接続されると共に各消去ゲートが共通の消去ゲート線EL…に接

および消去電圧発生回路5の消去電圧発生期間は制御回路6からの制御信号によって制御されるようになっている。

上記EEPROMについて、消去に際してはYデコーダ2から各ワード線WL…に非選択電圧(接地電位)が与えられ、消去電圧発生回路5から消去ゲート線EL…に高電圧Vppが与えられ、全メモリセルMC…が同時に消去状態(浮遊ゲートから電子が抜き去られた状態)になる。書き込みに際しては、外部からのアドレス入力Axi,Ayiがデコードされて選択された特定のピット線BL、ワード線WLが交差する特定のメモリセルMCが選択され、この選択メモリセルMCのドレインおよび制御ゲートにそれぞれ高電圧Vppが与えられ、そのドレインから酸化膜で絶縁分離された浮遊ゲートにホットエレクトロンが注入されることによって書き込み状態になり、その他の非選択メモリセルMC…の状態は変化しない。この場合、各メモリセルMC…は、浮遊ゲートに電子が存在するか否かで書き込み状態

既されている。2は行アドレスAyiが入力するアドレスデコーダ(Yデコーダ)であり、各行出力は対応するワード線WL…に供給される。3は列アドレスAxiが入力するアドレスデコーダ(Xデコーダ)であり、各列出力は対応するピット線選択スイッチ素子(MOSトランジスタ)Qy…の制御入力となっている。上記ピット線選択トランジスタQy…の各一端側は対応するピット線BL…に接続され、各他端側はセンスアンプおよび入出力回路4に接続されると共に書き込みデータ入力D1aに応じてスイッチ制御される書き込み制御用MOSトランジスタQwを介して高電圧ノード(Vpp、電位)に接続されている。5は上記高電圧ノードから高電圧Vppが供給されて所定の消去用高電圧(たとえばVpp、電圧)を発生する消去電圧発生回路であり、前記各消去ゲート線EL…に接続されている。また、前記高電圧Vppは前記Yデコーダ2、Xデコーダ3にも導かれており、このYデコーダ2、Xデコーダ3、センスアンプおよび入出力回路4の動作

非書き込み状態(消去状態)が定められている。脱出しに際しては、外部からのアドレス入力Axi,Ayiがデコードされて特定のピット線BLおよびワード線WLが選択され、この選択されたワード線WLに脱出し電圧(通常はVcc電源電圧)が印加され、選択されたメモリセルMCのドレイン電位が選択されたピット線BLを通じてセンスアンプに入力し、ここで別途与えられる基準電圧との比較によりセンス増幅が行なわれて脱出しデータ"1"あるいは"0"が得られる。

上記したようなEEPROMにあっては、メモリセルMC…の各消去ゲートが消去ゲート線EL…を介して直接に共通の消去電圧発生回路5に接続されていることによって、消去に際してメモリセルアレイ1内の全メモリセルMC…が同時に消去されてしまうことになり、特定のメモリセルを選択して消去することができない。これによって、特定メモリセルのみのデータを書き換えるには、その他のメモリセル(書き換えを)

行なわないもの)のデータを別の半導体記憶装置等に格納した後に上記 EEPROM のデータの消去を行ない、こののち上記別の半導体記憶装置等から格納データを書き込まなければならなかつた。したがつて、特定メモリセルのみのデータを書き換えるのに、非書き換えメモリセルに対するデータ転送、データ格納等の処理を必要とするので書き換え時間が長くなると共に上記データ格納用の別の半導体記憶装置を必要とするのでデータ書き換えシステムの構成が複雑になる。

(発明が解決しようとする問題点)

本発明は上述したようにメモリセルアレイ内の全部のメモリセルのデータが同時に消去してしまうことに伴なう問題点を除去すべくなされたもので、メモリセルアレイ内の任意のメモリセルを選択してそのデータを消去することが可能な電気的消去・再書き込み可能形半導体メモリを提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

第1図に示す EEPROM は、第2図を参照して前述した従来の EEPROM に比べて、(1)各消去ゲート線 E₁ …にそれぞれ直列に消去ゲート線選択スイッチ素子(たとえば MOS トランジスタ) Q₁ …が挿入され、このスイッチ素子 Q₁ …はビット線選択スイッチ素子 Q₂ …と同様に X デコード 2 の出力により制御される点、(2) Y デコード 3 の出力側とメモリセルアレイ」との間に制御回路 6 からの動作モード(脱出し、書き込み、消去)制御信号に応じて出力電圧(メモリセルワード線電圧)が所定値になるように切換制御するワード線電圧切換回路 1,0 が挿入されている点、(3) Y デコード 3 は消去モードのときに後述するようなデコード動作を行なうように構成されている点が異なり、その他は同じであるので第2図中と同一符号を付してその説明を省略する。

ここで、Y デコード 3 は、脱出し時には、行アドレス A_{Y1} をデコードしたとき特定のワード線を選択して V_{cc} 電位を出力すると共にその他の非選択ワード線を接地電位とし、書き込み時か

本発明の電気的消去・再書き込み可能形半導体メモリは、メモリセルアレイにおける同一列の不揮発性メモリセルの各消去ゲートに共通に接続された消去ゲート線をアドレス信号により選択し得るようにして、消去モードにおいては上記メモリセルアレイにおける選択メモリセルのデータ消去を行なうように、選択ワード線および選択消去ゲート線を所定の電位關係に設定するようにしたことを特徴とするものである。

(作用)

メモリセルアレイ内の任意のメモリセルのデータ書き換えを行なう際、上記メモリセルをアドレス信号により選択すると共にその削除ゲートおよびこのとき選択されている消去ゲートを所定の電位關係に設定することによって上記選択メモリセルのデータ消去を行なうことが可能になる。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。

および消去時には行アドレス A_{Y1} をデコードしたとき特定のワード線を選択して高電圧 V_{pp} を出力すると共にその他の非選択ワード線を接地電位とするように構成されている。そして、ワード線電圧切換回路 1,0 は、脱出し時および書き込み時には X デコード 2 からのワード線電圧をそのまま出力し、消去時には Y デコード 3 からの選択ワード線の電圧(V_{pp} 電圧)を接地電位に切り換えて出力すると共にその他の非選択ワード線の電圧(接地電位)を V_{cc} 電圧に切り換えて出力するように構成されている。

上記 EEPROM におけるデータの脱出し動作、書き込み動作は前述した従来例におけると同様であるが、データの消去動作は従来例における消去動作とは異なるので、消去動作について以下に説明する。即ち、外部からのアドレス入力 A_{X1}, A_{Y1} がデコードされると、上記アドレスにより選択されることになる特定のメモリセル(選択メモリセル) M_C に接続されているビット線 B_L のスイッチ素子 Q₁ と共に消去ゲート

種ELのスイッチ素子Q₃がXデコーダ3の出力によりオン状態に制御されるので、消去電圧発生回路5から上記スイッチ素子Q₃に接続されている選択された消去ゲート線Q₅を介して選択メモリセルMCの消去ゲートに高電圧V_{pp}が印加される。これと共に、Yデコーダ2の選択ワード線電圧V_{pp}がワード線電圧切換回路10により接地電位に切り換えられ、この接地電位が選択ワード線を介して選択メモリセルMCの制御ゲートに印加される。したがって、選択メモリセルMCは、トンネリングにより浮遊ゲートから消去ゲートに電子が抜き出されて消去が行なわれる。これに対して、選択メモリセルMCと同一行に属する一部の非選択メモリセルMC…の制御ゲートには接地電位が印加されており、残りの非選択メモリセルMC…の制御ゲートにはYデコーダ2の非選択ワード線電圧(接地電位)がワード線電圧切換回路10により高電圧V_{pp}に切り換えられたのち非選択ワード線を介して印加されており、選択メモリセルMCと同

え対象となるメモリセルのみを選択してそのデータを消去したのち新しいデータを書き込むことが可能になり、従来例で必要としたデータ格納用の別の半導体記憶装置等が不要になると共にそれとの間でのデータ転送、格納等の処理が必要になるので、書き換え時間が短縮されることになる。

なお、本発明は上記実施例に限られるものではなく、消去ゲートを有する1個の記憶トランジスタからなるメモリセルをマトリクス状に配置し、同一列のメモリセルの各消去ゲートを共通の消去ゲート線に接続してメモリセルアレイを形成し、上記消去ゲート線をアドレス信号により選択し得るようにして、消去モードにおいてはメモリセルアレイにおける選択ワード線および選択消去ゲート線を所定の電位関係に設定して選択メモリセルのみデータ消去を行なうように種々の変形実施が可能である。

〔発明の効果〕

上述したように本発明の電気的消去・再書き込

一列に属する一部の非選択メモリセルMC…の消去ゲートには前記選択された消去ゲート線Q₅から高電圧V_{pp}が印加されており、残りの非選択メモリセルMC…の消去ゲートに接続されている消去ゲート線Q₅は浮遊状態になっている。したがって、上記非選択メモリセルMC…は、いずれも消去動作が不可能であり、たとえ消去ゲートに高電圧V_{pp}が印加されても制御ゲートにも高電圧V_{pp}が印加されているので、制御ゲートと浮遊ゲートとの寄生性結合のために浮遊ゲートの電位が持ち上っていることによって浮遊ゲートから消去ゲートへのトンネリングを起こすだけの電位差を確保できず、消去不能である。

即ち、上記実施例のEEPROMによれば、外部からのアドレス入力に対応したメモリセルアレイ内の任意のメモリセルに対して、データの読み出し、書き込みだけでなく消去動作についてもセード制御に応じて実行させることが可能である。したがって、データ書き換えに際して、書き換

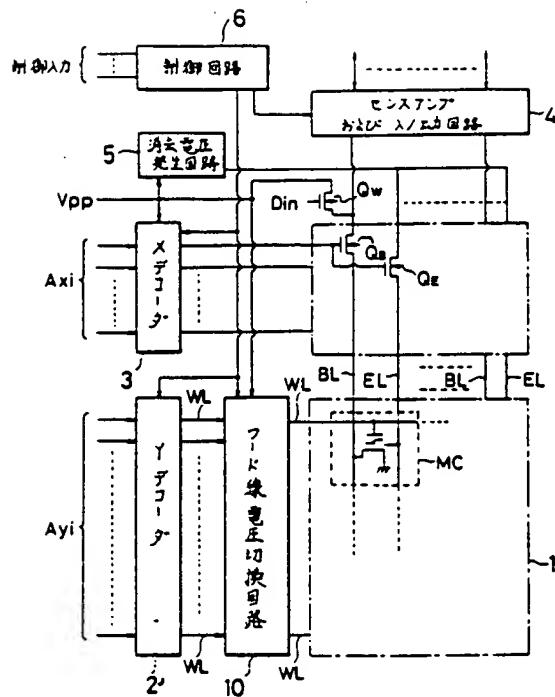
の可能形半導体メモリによれば、メモリセルアレイ内の任意のメモリセルを選択してそのデータを消去することが可能になり、データ書き換えに際して書き換え時間を短縮できると共に非書き換えメモリセルデータ格納用の別の半導体記憶装置等を必要としないで済む利点が得られる。

4. 図面の簡単な説明

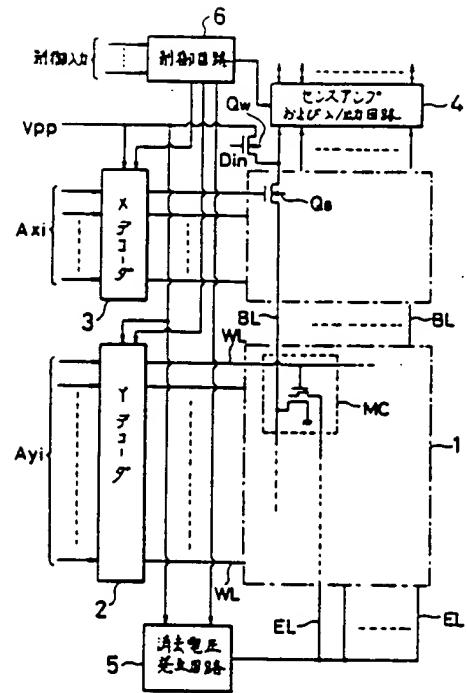
第1図は本発明のEEPROMの一実施例を示す構成説明図、第2図は従来のEEPROMを示す構成説明図である。

MC…メモリセル、WL…ワード線、BL…ビット線、Q₁…ビット線選択スイッチ素子、EL…消去ゲート線、Q₅…消去ゲート線選択スイッチ素子、1…メモリセルアレイ、2'…Yデコーダ、3…Xデコーダ、5…消去電圧発生回路、6…制御回路、10…ワード線電圧切換回路。

出版人代理人弁護士鈴江武彦



第 1 図



第 2 図